

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-231022  
 (43)Date of publication of application : 27.08.1999

(51)Int.Cl. G01R 31/28  
 H01L 21/66

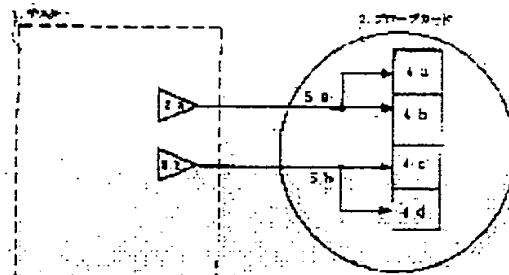
(21)Application number : 10-031318 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
 (22)Date of filing : 13.02.1998 (72)Inventor : ARITA MEI

## (54) INSPECTION METHOD OF SEMICONDUCTOR DEVICE AND DEVICE THEREOF

## (57)Abstract:

PROBLEM TO BE SOLVED: To increase the number of semiconductor devices which can be simultaneously inspected, without increasing the number of drivers of a tester.

SOLUTION: This is the inspection method of semiconductor devices in which the terminals of drivers 3a, 3b of a tester 1 are connected to the signal terminals of semiconductor devices 4a-4d in a probe card 2, and the semiconductor devices 4a-4d are inspected. Hereat, the terminal of one driver 3a, 3b of the tester 1 is connected to a branch point 5a, 5b provided in the probe card 2, the branch point 5a, 5b is connected to the signal input terminals of a plurality of the semiconductor devices 4a-4d, and a plurality of the semiconductor devices 4a-4d are simultaneously inspected by the one driver 3a, 3b.



## LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-231022

(43)公開日 平成11年(1999)8月27日

(51)Int.Cl.\*

機別記号

F I

G 01 R 31/28

G 01 R 31/28

Y

H 01 L 21/66

H 01 L 21/66

F

G 01 R 31/28

P

G 01 R 31/28

H

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21)出願番号

特願平10-31318

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22)出願日

平成10年(1998)2月13日

(72)発明者 在田 畑

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

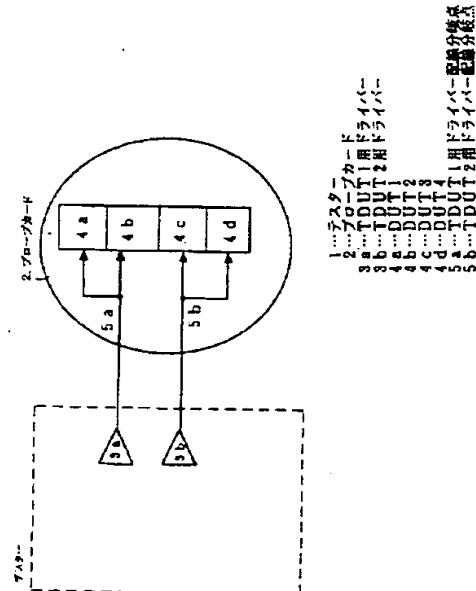
(74)代理人 弁理士 宮井 勝夫

(54)【発明の名称】 半導体装置の検査方法および検査装置

(57)【要約】

【課題】 テスターのドライバー数を増加することなく、同時に検査できる半導体デバイス数を増加する半導体装置の検査方法および検査装置を提供する。

【解決手段】 テスター1のドライバー3a、3bの端子とプローブカード2内の半導体デバイス4a～4dの信号端子とを接続して半導体デバイス4a～4dの検査を行なう半導体装置の検査方法であって、テスター1の1つのドライバー3a、3bの端子とプローブカード2内に設けた分岐点5a、5bとを接続し、この分岐点5a、5bと複数の半導体デバイス4a～4dの信号入力端子とを接続し、1つのドライバー3a、3bで複数の半導体デバイス4a～4dを同時に検査する。



## 【特許請求の範囲】

【請求項1】 テスターのドライバー端子とプローブカード内の半導体デバイスの信号端子とを接続して前記半導体デバイスの検査を行なう半導体装置の検査方法であって、前記テスターの1つのドライバー端子と前記プローブカード内に設けた分歧点とを接続し、この分歧点と複数の前記半導体デバイスの信号入力端子とを接続し、1つのドライバで複数の前記半導体デバイスを同時に検査することを特徴とする半導体装置の検査方法。

【請求項2】 ON/OFFを制御できるスイッチを、分歧点と複数の半導体デバイスの信号入力端子の間に設けた請求項1記載の半導体装置の検査方法。

【請求項3】 テスターの電源ユニットと半導体デバイスの電源端子とを接続して前記半導体デバイスの検査を行なう半導体装置の検査方法であって、前記電源ユニットと複数の前記半導体デバイスの前記電源端子とを並列に接続して検査を行なうことを特徴とする半導体装置の検査方法。

【請求項4】 複数の半導体デバイスの検査結果が良か不良かを判別する良否検査結果情報をテスターからプローバーに送信する半導体装置の検査方法であって、前記テスターの1つの被測定デバイスのための1組の比較器を分割して前記複数の半導体デバイスの出力端子と接続し、分割した前記比較器のそれぞれの良または不良の良否検査結果を、プローバー内に設けた各DUTの良否検査結果を管理する検査結果管理回路に送信することを特徴とする半導体装置の検査方法。

【請求項5】 テスターのドライバー端子とこれに接続されるプローブカード内の半導体デバイスの信号端子とを有して前記半導体デバイスの検査を行なう半導体装置の検査装置であって、前記プローブカード内に前記テスターの1つの前記ドライバー端子および複数の前記半導体デバイスの信号入力端子を接続する分歧点を設けた半導体装置の検査装置。

【請求項6】 抵抗とコイルを並列に接続したLRモジュールを、分歧点とテスターのドライバー端子の間に設けた請求項5記載の半導体検査装置。

【請求項7】 テスターのドライバー端子とプローブカード内の半導体デバイスの信号入力端子とを接続して前記半導体デバイスの検査を行なう半導体装置の検査装置であって、抵抗とコイルを並列に接続したLRモジュールを、前記ドライバー端子と前記信号入力端子との間に設けた半導体装置の検査装置。

【請求項8】 テスターの電源ユニットと半導体デバイスの電源端子とを接続して前記半導体デバイスの検査を行なう半導体装置の検査装置であって、前記電源ユニットと複数の前記半導体デバイスの前記電源端子とを並列に接続し、ON/OFFを制御できるスイッチを、前記電源ユニットと、前記複数の半導体デバイスの電源端子との間に設けた半導体装置の検査装置。

【請求項9】 プローバー内に設けられて複数の半導体デバイスが検査対象であるか否かを検出する複数のDUT有無検出回路と、この複数のDUT有無検出回路の出力を入力する論理回路と、テスター内に設けられ前記論理回路の出力を入力して前記半導体デバイスが検査対象であるか否かを管理する検査対象DUT管理回路とを備えた半導体装置の検査装置。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】この発明は、半導体装置の検査方法および検査装置に関し、特に同時に検査個数を増大した半導体装置の検査方法および検査装置に関するものである。

【0002】

【従来の技術】半導体デバイスの検査においては、検査時間を短縮することが重大な課題であり、これを解決するために同時に検査個数を増加させる方法が採用されてきた。図8は従来の半導体検査装置の一例で、2つのDUT (Device Under Test :被測定デバイス) を同時に検査可能なテスターを用いて、2つのDUTを同時に検査する例である。

【0003】従来例ではテスター1のドライバー3a、3b、電源ユニット8a、8b、比較器16a、16bは各DUT4a、4b毎に独立に割り付けてある。この場合、同時に検査するDUT4a、4bの個数に対応したドライバー3a、3b、電源ユニット8a、8b、比較器16a、16bの個数が必要である。従来は同時に検査個数が少なく、検査対象DUT4a、4bの総面積が小さかったため、ウェーハ検査に用いるプローブカード

20 30 3と半導体デバイスのパッドとを接続するプローブの長さが短かった。プローブが短い時は、プローブカード2内の配線がもつインピーダンスとプローブのもつインピーダンスのミスマッチが小さいため、信号波形の歪みが問題にならなかった。

【0004】しかし、同時に検査個数が増加すると、検査対象となるDUTの総面積が大きくなり、プローブ長が大きくなり、インピーダンスのミスマッチによる信号波形の歪みが問題となる。次にプローバー1とテスター1間で送受信される情報の通信手法について説明する。

40 40 実際に半導体ウェーハを検査する場合、どのDUT4a、4bが検査対象になっているかの情報をテスター1に送信する必要がある。そこで、各DUT有無検出回路10a、10bにより半導体デバイスが検査対象であるか否かを検出し、その情報のDUT有無信号11a、11bをテスター1の検査対象DUT管理回路14に送信する。そして、検査対象DUT管理回路14の検査開始命令15a、15bによりDUT4a、4bの電源ユニット8a、8b及びドライバー3a、3bを動作させ、検査対象DUT4a、4bの検査を開始する。

50 【0005】また、プローバー1とにおいて各DUT4

a、4 bの良否の結果に応じて、良品または不良品の区別をすることがあるので、良否検査結果情報をテスター1からプローバー1 8に送信する必要がある。そのため、各DUT4 a、4 bに割付られた比較器1 6 a、1 6 bの良否結果をもとに、テスター内検査結果管理回路2 0が1つのDUT4 a、4 b毎に良否検査結果情報を管理し、検査結果1 7 a、1 7 bをプローバー内検査結果管理回路1 9に送信する。

【0006】また、従来手法では、テスター1の1つのDUT当たりの測定系で1つの半導体デバイスを検査しており、プローバー1 8内で認識される検査対象DUT情報の良否結果の大きさと、テスター1内で認識される検査対象DUT情報の良否結果情報の大きさと同じであるため、テスター1とプローバー1 8間での情報の送受信は問題なく行われていた。

【0007】

【発明が解決しようとする課題】従来の半導体検査装置では、同時検査DUT数を増加するためには、テスター1のドライバー3 a、3 bや、電源ユニット6 a、8 bを同時検査DUT数に応じた数に増加する必要があった。また、前記したようにプローブ長の増大に伴う、テスター1から半導体デバイスへの信号波形の歪みが課題であった。

【0008】したがって、この発明の目的は、テスターのドライバーまたは電源ユニットの数を増加することなく、同時検査DUTを増加でき、プローブ長が大きな場合でも半導体デバイスへの信号波形の歪みのない半導体装置の検査方法および検査装置を提供することである。

【0009】

【課題を解決するための手段】請求項1記載の半導体装置の検査方法は、テスターのドライバー端子とプローブカード内の半導体デバイスの信号端子とを接続して半導体デバイスの検査を行なう半導体装置の検査方法であって、テスターの1つのドライバー端子とプローブカード内に設けた分歧点とを接続し、この分歧点と複数の半導体デバイスの信号入力端子とを接続し、1つのドライバーで複数の半導体デバイスを同時に検査することを特徴とするものである。

【0010】請求項1記載の半導体装置の検査方法によれば、テスターのドライバーを増加することなく、同時に検査できる半導体デバイス数を増加することができる。そのため、テスターの1つのDUTに属するドライバーを用いて、複数の半導体デバイスに同時に信号を印加するように構成でき、テスターの1つの半導体デバイスを検査するための測定系すなわちテスターの1つのDUTを用いて複数の半導体デバイスを同時に検査することができる。

【0011】請求項2記載の半導体装置の検査方法は、請求項1において、ON/OFFを制御できるスイッチを、分歧点と複数の半導体デバイスの信号入力端子の間

に設けたものである。請求項2記載の半導体装置の検査方法によれば、請求項1と同様な効果のほか、スイッチにより半導体デバイスを独立に制御することができる。

【0012】請求項3記載の半導体装置の検査方法は、テスターの電源ユニットと半導体デバイスの電源端子とを接続して半導体デバイスの検査を行なう半導体装置の検査方法であって、電源ユニットと複数の半導体デバイスの電源端子とを並列に接続して検査を行なうことを特徴とするものである。請求項3記載の半導体装置の検査方法によれば、テスターの電源ユニットの数を増加することなく、同時に検査できる半導体デバイス数を増加することができる。そのため、テスターの1つのDUTに属する電源ユニットとドライバーを用いて、複数の半導体デバイスに同時に電源印加、信号印加をする構成にし、テスターの1つのDUTを用いて複数の半導体デバイスを同時に検査することができる。

【0013】請求項4記載の半導体装置の検査方法は、複数の半導体デバイスの検査結果が良か不良かを判別する良否検査結果情報をテスターからプローバーに送信する半導体装置の検査方法であって、テスターの1つのDUTに属する1組の比較器を分割して複数の半導体デバイスの出力端子と接続し、分割した比較器のそれぞれの良または不良の良否検査結果を、プローバー内に設けた各DUTの良否検査結果を管理する検査結果管理回路に送信することを特徴とするものである。

【0014】請求項4記載の半導体装置の検査方法によれば、複数の半導体デバイスのそれぞれの検査結果を区別することができる。請求項5記載の半導体装置の検査装置は、テスターのドライバー端子とこれに接続されるプローブカード内の半導体デバイスの信号端子とを有して半導体デバイスの検査を行なう半導体装置の検査装置であって、プローブカード内にテスターの1つのドライバー端子および複数の半導体デバイスの信号入力端子を接続する分歧点を設けたものである。

【0015】請求項5記載の半導体装置の検査装置によれば、請求項1と同様な効果がある。請求項6記載の半導体装置の検査装置は、請求項5において、抵抗とコイルを並列に接続したLRモジュールを、分歧点とテスターのドライバー端子の間に設けたものである。

【0016】請求項6記載の半導体装置の検査装置によれば、請求項5と同様な効果のほか、テスターの1つのドライバー端子と複数の半導体デバイスの同一信号入力端子とを接続する構成の場合は波形の歪みが大きいが、モジュールにより歪みを抑えることができる。請求項7記載の半導体装置の検査装置は、テスターのドライバー端子とプローブカード内の半導体デバイスの信号入力端子とを接続して半導体デバイスの検査を行なう半導体装置の検査装置であって、抵抗とコイルを並列に接続したLRモジュールを、ドライバー端子と信号入力端子との間に設けたものである。

【0017】請求項7記載の半導体装置の検査装置によれば、プローブ長が大きな場合でも、歪みのない波形をテスターのドライバーから半導体デバイスの信号入力端子に伝送することができる。請求項8記載の半導体装置の検査装置は、テスターの電源ユニットと半導体デバイスの電源端子とを接続して半導体デバイスの検査を行なう半導体装置の検査装置であって、電源ユニットと複数の半導体デバイスの電源端子とを並列に接続し、ON/OFFを制御できるスイッチを、電源ユニットと、複数の半導体デバイスの電源端子との間に設けたものである。

【0018】請求項8記載の半導体装置の検査装置によれば、請求項3と同様な効果のほか、テスターから電源印加を独立に制御する。請求項9記載の半導体装置の検査装置は、プローバー内に設けられて複数の半導体デバイスが検査対象であるか否かを検出する複数のDUT有無検出回路と、この複数のDUT有無検出回路の出力を入力する論理回路と、テスター内に設けられ論理回路の出力を入力して半導体デバイスが検査対象であるか否かを管理する検査対象DUT管理回路とを備えたものである。

【0019】請求項9記載の半導体装置の検査装置によれば、複数の半導体デバイスのいずれかが検査対象であれば、検査対象DUT管理回路によりテスターはその半導体デバイスの検査を行なうことができる。すなわち、テスターの1つのDUTにて複数の半導体デバイスを測定する構成になっており、この複数の半導体デバイスの内少なくとも1つの半導体デバイスが測定対象であれば、これに対応するテスターのDUTは測定を実施するので論理回路を設けている。

【0020】

【発明の実施の形態】図1は、この発明の第1の実施の形態における半導体検査装置を示す。図1は、2つのDUTを同時に検査できるテスター1を用いて、4つのDUT4a～4dを同時に検査する例である。ここで、テスター1のDUTの数と検査対象となる半導体デバイス数が異なるので、両者を区別するために、テスター1のDUTに対してTDUT、プローバーのDUTに対してDUTと記述する。すなわちTDUTは従来方式で1つの半導体デバイスを測定するためのテスターの測定系1相を指すもので、TDUT1はドライバ3a、電源ユニット8aおよび比較器16aをまとめて指し、TDUT2はドライバ3b、電源ユニット8bおよび比較器16bをまとめて指す。

【0021】テスター1のTDUT1用の1つのドライバー3aからの信号線をプローブカード2上のTDUT1ドライバー配線分岐点5aで分岐させ、DUT1(4a)及びDUT2(4b)の同一の信号入力端子に接続してある。テスター1のTDUT2用のドライバー3bとDUT3(4c)及びDUT4(4d)とを、同様に

TDUT1ドライバー配線分岐点5bを介して接続する。

【0022】すなわち半導体装置の検査方法は、テスター1の1つのドライバー端子とプローブカード2内に設けた分岐点5a、5bとを接続し、この分岐点5a、5bと複数の半導体デバイスであるDUT4a～4dの信号入力端子とを接続している。これにより、テスター1の2つのTDUT分のドライバー3a、3bを用いて、4つのDUT4a～4dに対して同時に信号印加することができる。

【0023】なお、その他の構成は後述する図7に示す構成やあるいは従来のやり方により実現できる。この実施の形態によれば、テスター1のドライバー3a、3bを増加することなく、同時に検査できる半導体デバイス数を増加することができる。そのため、テスター1の1つのDUTに属するドライバーを用いて、複数の半導体デバイスに同時に信号を印加するように構成でき、テスターの1つの半導体デバイスを検査するための測定系すなわちテスターの1つのDUTを用いて複数の半導体デバイスを同時に検査することができる。

【0024】図2は、この発明の第2の実施の形態における半導体検査装置を示す。図2も、2つのDUTを同時に検査できるテスター1を用い、かつ第1の実施の形態と同様な構成を用いて、4つのDUT4a～4dを同時に検査する例である。第1の実施の形態における半導体検査装置では、1つのドライバーで2つのTDUTに対して信号印加を行うことになり、1つのDUT毎に信号印加のON/OFFを制御することができない。

【0025】そこで、第1の実施の形態において、第2の実施の形態のように分岐点5a、5bと半導体デバイスのDUT4a～4dの信号入力端子間に、独立にON/OFFを制御できるスイッチとしてリレー6a～6dを直列に挿入し、このリレー6a～6dをDUT用リレー制御信号7a～7dにより制御することにより、1つのDUT毎に信号印加を制御することができる。

【0026】なお、その他の構成は後述する図7に示す構成やあるいは従来のやり方により実現できる。図3は、この発明の第3の実施の形態における半導体検査装置を示す。同時検査個数を増加すると、プローブカード3を大型化しなければならず、プローブカード3と半導体デバイスのパッドとを接続するプローブの長さが大きくなる。プローブが長くなることにより、プローブのモーフィンピーダンスが大きくなり、プローブカード3上の配線がモーフィンピーダンスとミスマッチが生じる。これは、テスターのドライバーからの信号の立ち上がり時にオーバーシュートを生じ、立ち下がり時にアンダーシュートを生じ、半導体デバイスに信号端子に歪んだ波形が印加され、正確な検査が出来ないことになる。

【0027】そこで、歪みを抑制する方法として、図3のようにプローブカード3上に最適なLRモジュールを

直列に挿入することで解決することができる。以下にそのメカニズムを説明する。抵抗Rの成分は、テスター1のドライバー3 aの立ち上がり時および立ち下がり時に、配線には電流が流れるが、抵抗Rを挿入することにより抵抗Rの両端にて電圧降下が生じ、これにより信号のオーバーシュートおよびアンダーシュートが抑えられる。また、コイルLの成分は、コイルLに電流が流れたときに発生する逆起電力により、オーバーシュートおよびアンダーシュートを抑制する効果がある。したがって、最適な抵抗RとコイルLを並列に接続したLRモジュール9を信号配線に挿入することにより、オーバーシュートおよびアンダーシュートの抑制において最大の効果を得られ、プローブの長い場合でも歪みのない信号波形により検査することができる。

【0028】なお、その他の構成は後述する図7に示す構成あるいは従来のやり方により実現できる。図4は、この発明の第4の実施の形態における半導体検査装置を示す。図1のようにテスター1のドライバー3 aのドライバ端子と半導体デバイスの信号入力端子とを接続する場合に、プローブカード2内において、テスター1の1つのドライバー3 aのドライバ端子に接続された配線の途中で分歧点5 aを設け、テスター1の1つのドライバー3 aの端子と複数の半導体デバイスであるDUT 4 a、4 bの同一の信号入力端子とを接続する構成の場合は、分歧点5 aにおいてインピーダンスのミスマッチが大きくなる。

【0029】そこで、第1の実施の形態において、分歧点5 aとテスター1のドライバー3 aのドライバ端子との間に最適なLRモジュール9を直列に挿入することで、第3の実施の形態のようにアンダーシュートおよびオーバーシュートを抑制することができる。なお、その他の構成は後述する図7に示す構成あるいは従来のやり方により実現できる。また図2に示す第2の実施の形態にもLRモジュール9を前記のように接続してもよい。

【0030】図5は、この発明の第5の実施の形態における半導体検査装置を示す。テスターのTDUT1用の電源ユニット8 aと複数のDUT、例えばDUT1(4 a)及びDUT2(4 b)の電源端子を並列に接続する。テスター1のTDUT2用の電源ユニット8 bとDUT3(4 c)及びDUT4(4 d)とを同様に接続することにより、テスター1の2つのTDUT分の電源ユニット8 a、8 b用いて、4つのDUT4 a～4 dに対して電源印加をすることができる。

【0031】この実施の形態によれば、テスター1の電源ユニットの数を増加することなく、同時に検査できる半導体デバイス数を増加することができる。そのため、テスターの1つのDUTに属する電源ユニットとドライバーを用いて、複数の半導体デバイスに同時に電源印加、信号印加をする構成にし、テスターの1つのDUT

を用いて複数の半導体デバイスを同時に検査することができる。

【0032】なお、その他の構成は後述する図7に示す構成あるいは従来のやり方により実現できる。また、第1の実施の形態から第4の実施の形態までのいずれかとの組合せが可能である。図6は、この発明の第6の実施の形態における半導体検査装置を示す。第5の実施の形態における半導体検査装置では、1つのTDUT用の電源ユニット8 a、8 bから2つのDUTに対して電源印加を行うことになり、1つのDUT毎に電源印加のON/OFFを制御することが出来ない。そこで、第5の実施の形態において電源ユニット8 a、8 bと各DUT4 a～4 dの電源端子間に、独立にON/OFFを制御できるスイッチとしてリレー6 a～6 dを直列に挿入し、このリレー6 a～6 dをDUT用リレー制御信号7 a～7 dにより制御することにより、1つのDUT毎に電源印加を制御することができる。

【0033】その他は第5の実施の形態の説明と同様である。なお、その他の構成は後述する図7に示す構成あるいは従来のやり方により実現できる。また、第1の実施の形態から第4の実施の形態までのいずれかとの組合せが可能である。

【0034】図7は、この発明の第7の実施の形態における半導体検査装置を示す。図7は2つのTDUTをもったテスター1を用いて、4つのDUT4 a～4 dを検査する例である。ここで、DUT1(4 a)とDUT2(4 b)をテスター1の1つの被測定デバイスすなわちTDUT1のためのドライバー3 a、電源ユニット8 aおよび比較器16 aを用いて検査し、同様にDUT3(4 c)とDUT4(4 d)はテスター1の1つの被測定デバイスすなわちTDUT2のためのドライバー3 b、電源ユニット8 bおよび比較器16 bを用いて検査する。

【0035】まず、検査対象DUTの情報をプローバー18からテスター1に送信する方法について説明する。プローバー18内の各DUT有無検出回路10 a～10 dにより各DUT4 a～4 dが検査対象か否かを検出する。DUT1有無検出回路10 aとDUT2有無検出回路10 bの出力をTDUT1有無回路13 aのTDUT1用論理回路12 aに入力し、DUT3有無検出回路10 cとDUT4有無検出回路10 dの出力をTDUT2有無回路13 bのTDUT2用論理回路12 bに入力する。各TDUT用論理回路12 a、12 bの出力を回路10 a～10 dに対応してTDUT1有無信号11 a、TDUT2有無信号11 b、TDUT3有無信号11 c、TDUT4有無信号11 dとして、テスター1内の検査対象DUT管理回路14に入力する。そして、テスター1内の検査対象管理回路14が検査対象TDUTに対して検査開始命令15 a、15 bを出し、ドライバー3 a、3 b、電源ユニット8 a、8 b、比較器1

6 a, 16 bを動作させ検査を実施する。すなわち、DUT 1またはDUT 2のいずれか一方でも検査対象であれば、テスターのTDUT 1は検査を行なう。DUT 3とDUT 4に關しても、同様である。

【0036】次に、各DUT 4 a～4 dの良否結果をテスター1からプローバー1～8に送信する方法について説明する。従来方法では、TDUT 1の検査結果すなわちDUT 1とDUT 2をまとめた検査結果をプローバー内検査結果管理回路19に送信することになり、DUT 1とDUT 2の検査結果を区別することが出来なかった。

【0037】そこで図7のように、TDUT 1の比較器16 aを2分割し、DUT 1とDUT 2の出力に接続し、分割した比較器16 aの結果をDUT 1, DUT 2それぞれの検査結果17 a, 17 bとして、プローバー内検査結果管理回路19に送信する。ここで、比較器16 aの分割について、比較器16 aは1つの半導体デバイスを測定するための比較器であるが、実際は複数の比較器からなっているので、この複数個を2分割してDUT 1, DUT 2にそれぞれ割り付けることを意味している。したがって、DUT 1とDUT 2の検査結果17 a, 17 bを区別してプローバー内検査結果管理回路19に送信することができる。TDUT 2においても同様に比較器16 bを分割することで、DUT 3とDUT 4の検査結果17 c, 17 dを区別してプローバー内検査結果管理回路19に送信する。比較器16 bも比較器16 aと同様な構成である。

【0038】なお、ドライバー3 a, 3 bとDUT 4 a～4 dとの接続に図4と同様な構成を採用しているが、図1から図3のいずれかと同様な構成を採用してもよい。また電源ユニット8 a, 8 bとDUT 4 a～4 dとの接続に図5と同様な構成を採用しているが、図6と同様な構成にしてもよい。

【0039】

【発明の効果】請求項1記載の半導体装置の検査方法によれば、テスターのドライバーを増加することなく、同時に検査できる半導体デバイス数を増加することができる。そのため、テスターの1つのDUTに属するドライバーを用いて、複数の半導体デバイスに同時に信号を印加するように構成でき、テスターの1つの半導体デバイスを検査するための測定系すなわちテスターの1つのDUTを用いて複数の半導体デバイスを同時に検査することができる。

【0040】請求項2記載の半導体装置の検査方法によれば、請求項1と同様な効果のほか、スイッチにより半導体デバイスを独立に制御することができる。請求項3記載の半導体装置の検査方法によれば、テスターの電源ユニットの数を増加することなく、同時に検査できる半導体デバイス数を増加することができる。そのため、テスターの1つのDUTに属する電源ユニットとドライバーを用いて、複数の半導体デバイスに同時に電源印加、

信号印加をする構成にし、テスターの1つのDUTを用いて複数の半導体デバイスを同時に検査することができる。

【0041】請求項4記載の半導体装置の検査方法によれば、複数の半導体デバイスのそれぞれの検査結果を区別することができる。請求項5記載の半導体装置の検査装置によれば、請求項1と同様な効果がある。請求項6記載の半導体装置の検査装置によれば、請求項5と同様な効果のほか、テスターの1つのドライバー端子と複数の半導体デバイスの同一信号入力端子とを接続する構成の場合は波形の歪みが大きいが、モジュールにより歪みを抑えることができる。

【0042】請求項7記載の半導体装置の検査装置によれば、プローブ長が大きな場合でも、歪みのない波形をテスターのドライバーから半導体デバイスの信号入力端子に伝送することができる。請求項8記載の半導体装置の検査装置によれば、請求項3と同様な効果のほか、テスターから電源印加を独立に制御する。

【0043】請求項9記載の半導体装置の検査装置によれば、複数の半導体デバイスのいずれかが検査対象であれば、検査対象DUT管理回路によりテスターはその半導体デバイスの検査を行なうことができる。すなわち、テスターの1つのDUTにて複数の半導体デバイスを測定する構成になっており、この複数の半導体デバイスの内少なくとも1つの半導体デバイスが測定対象であれば、これに対応するテスターのDUTは測定を実施するので論理回路を設けている。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態における半導体検査装置の一部説明図である。

【図2】第2の実施の形態における半導体検査装置の一部説明図である。

【図3】第3の実施の形態における半導体検査装置の一部説明図である。

【図4】第4の実施の形態における半導体検査装置の一部説明図である。

【図5】第5の実施の形態における半導体検査装置の一部説明図である。

【図6】第6の実施の形態における半導体検査装置の一部説明図である。

【図7】第7の実施の形態における半導体検査装置の説明図である。

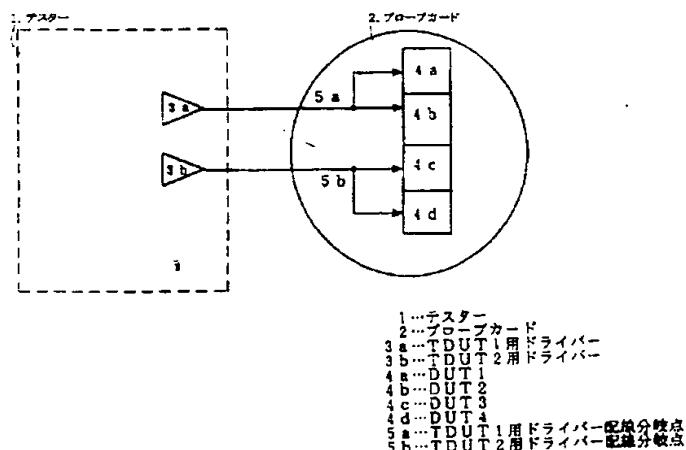
【図8】従来例における半導体検査装置の説明図である。

【符号の説明】

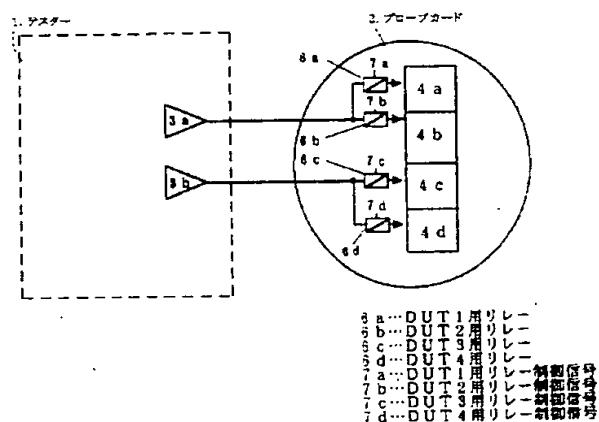
1	テスター
2	プローブカード
3 a	TDUT 1用ドライバー
3 b	TDUT 2用ドライバー
50	DUT 1

	11	12
4 b	DUT 2	* 11 a DUT 1 有無信号
4 c	DUT 3	11 b DUT 2 有無信号
4 d	DUT 4	11 c DUT 3 有無信号
5 a	TDUT 1用ドライバー配線分岐点	11 d DUT 4 有無信号
5 b	TDUT 2用ドライバー配線分岐点	12 a TDUT 1用論理和回路
6 a	DUT 1用リレー	12 b TDUT 2用論理和回路
6 b	DUT 2用リレー	13 a TDUT 1 有無回路
6 c	DUT 3用リレー	13 b TDUT 2 有無回路
6 d	DUT 4用リレー	14 検査対象 DUT 管理回路
7 a	DUT 1用リレー制御信号	10 15 a TDUT 1 検査開始命令
7 b	DUT 2用リレー制御信号	15 b TDUT 2 検査開始命令
7 c	DUT 3用リレー制御信号	16 a TDUT 1 用比較器
7 d	DUT 4用リレー制御信号	16 b TDUT 2 用比較器
8 a	TDUT 1用電源ユニット	17 a DUT 1 検査結果
8 b	TDUT 2用電源ユニット	17 b DUT 2 検査結果
9	LRモジュール	17 c DUT 3 検査結果
10 a	DUT 1 有無検出回路	17 d DUT 4 検査結果
10 b	DUT 2 有無検出回路	18 プローバー
10 c	DUT 3 有無検出回路	19 プローバー内検査結果管理回路
10 d	DUT 4 有無検出回路	* 20 20 テスター内検査結果管理回路

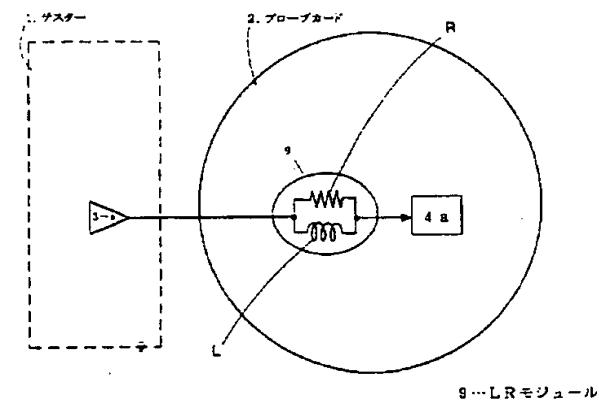
【図1】



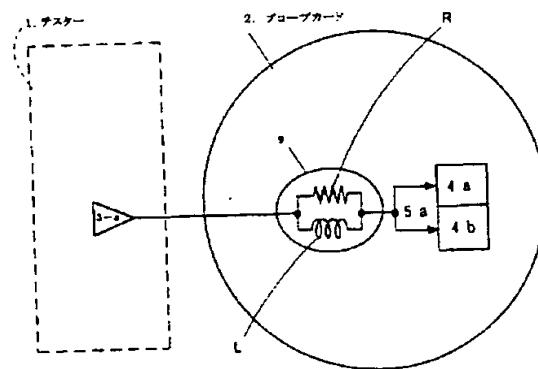
【図2】



【図3】



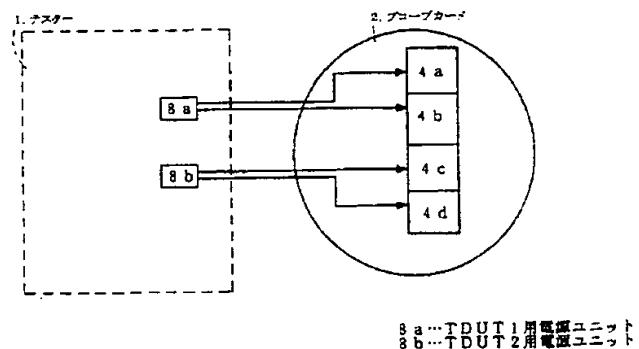
【図4】



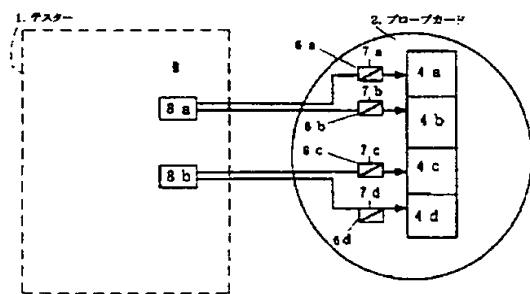
(9)

特開平11-231022

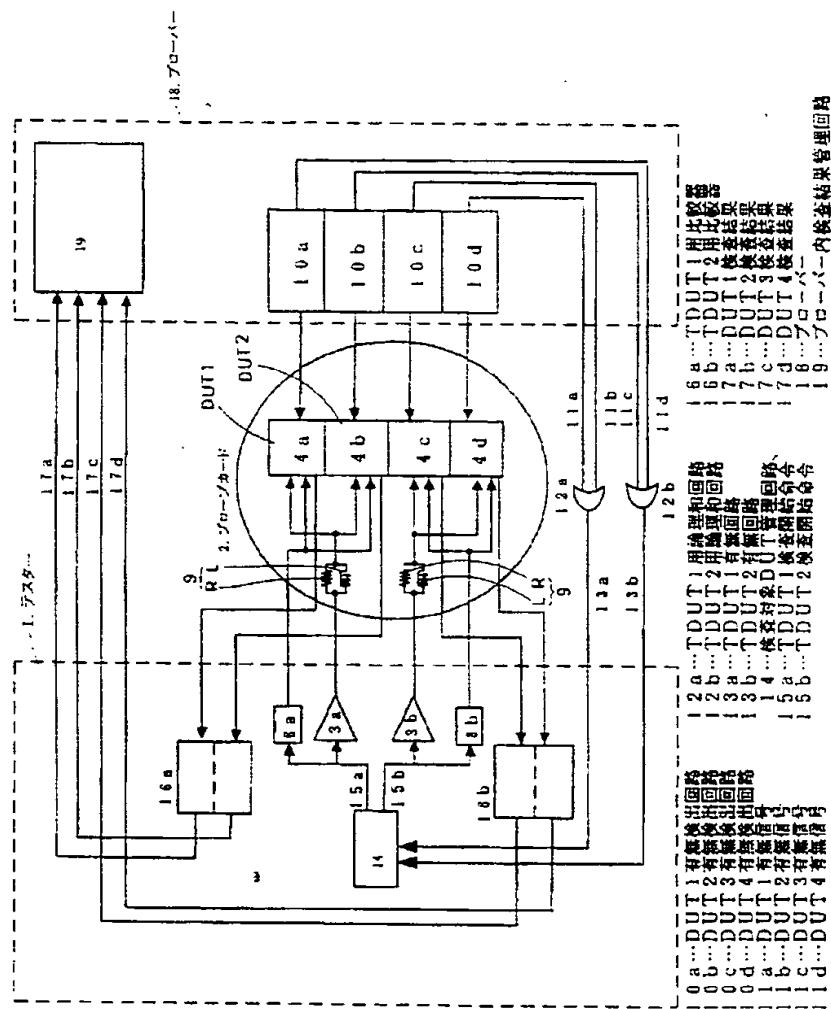
【図5】



【図6】



〔四〕



[図8]

